

Veröffentlichung im Amtsblatt Publication in the Official Journal Publication au Journal Officiel	Ja/Nein Yes/No Oui/Non
---	------------------------------



17

Aktenzeichen / Case Number / N^o du recours : T 15/86

Anmeldenummer / Filing No / N^o de la demande : 82 400 081.4

Veröffentlichungs-Nr. / Publication No / N^o de la publication : 0 057 126

Bezeichnung der Erfindung: Procédé de fabrication d'une structure de transistors

Title of invention:

Titre de l'invention :

Klassifikation / Classification / Classement : H 01 L 21/74

ENTSCHEIDUNG / DECISION

vom / of / du 26 mars 1987

Anmelder / Applicant / Demandeur : Thomson-CSF

Patentinhaber / Proprietor of the patent /
Titulaire du brevet :

Einsprechender / Opponent / Opposant :

Stichwort / Headword / Référence :

EPÜ / EPC / CBE

Article 56

Kennwort / Keyword / Mot clé :

"Activité inventive (oui)"

Leitsatz / Headnote / Sommaire



N° du recours : T 15/86

D E C I S I O N
de la Chambre de recours technique 3.4.1
du 26 mars 1987

Requérante : Thomson-CSF
173, boulevard Haussmann
F-75379 Paris Cedex 08

Mandataire : Guérin, Michel
THOMSON-CSF
SCPI
173, boulevard Haussmann
F-75379 Paris Cedex 08

Décision attaquée : Décision de la division d'examen 048 de l'Office européen des brevets du 24 septembre 1985 par laquelle la demande de brevet n° 82 400 081.4 a été rejetée conformément aux dispositions de l'article 97(1) CBE

Composition de la Chambre :

Président : K. Lederer

Membre : E. Turrini

Membre : C. Payraudeau

Exposé des faits et conclusions

- I. La demande de brevet européen n° 82 400 081.4, déposée le 18 janvier 1982 (n° de publication 0057126) a été rejetée par décision de la Division d'examen 048 en date du 24 septembre 1985.
- II. Cette décision a été rendue sur la base des revendications 1 à 4 reçues le 22 juillet 1983 présentées à titre principal, et des revendications 1 à 4 reçues le 2 janvier 1984 présentées à titre subsidiaire par la Requérante.
- III. La Division d'examen a statué qu'il n'était besoin d'aucune activité inventive pour obtenir l'objet de la revendication 1 ou l'objet de la revendication 1 subsidiaire, au regard des procédés divulgués dans les documents de l'art antérieur suivants :
- FR-A-2 257 148 (D1)
 - IBM Technical Disclosure Bulletin, volume 23, numéro 4, septembre 1980, H.H. Berger et al.: "Method of producing transistors with optimum base contact" (D2).
- IV. Le 9 novembre 1985, la Requérante a introduit un recours contre cette décision et acquitté la taxe de recours dans les délais. Elle a exposé les motifs du recours dans un mémoire déposé le même jour faisant référence aux documents D1 et D2.

V. En réponse à une notification de la Chambre de recours, la Requérante a demandé, dans une lettre du 18 février 1987, la délivrance d'un brevet sur la base des 4 revendications proposées dans la notification susmentionnée et dont la première s'énonce comme suit :

"1. Procédé de fabrication d'un transistor formé dans un caisson d'un circuit intégré délimité latéralement par un sillon périphérique profond et dont le fond contient une couche enterrée dans un substrat semi-conducteur d'un premier type de conductivité, la couche enterrée étant d'un deuxième type de conductivité, comprenant les étapes consistant à :

- a) former la couche enterrée localisée (23,33) dans le substrat (1) du premier type de conductivité au-dessus duquel est amené à croître une couche épitaxiée (2) du deuxième type de conductivité ;
- b) diffuser en des emplacements choisis de la couche épitaxiée des zones (22,31,32) du premier type de conductivité pour former des couches fonctionnelles du transistor ;
- c) creuser simultanément, d'une part, le sillon (40) périphérique à section en U entourant complètement le transistor et la couche enterrée et pénétrant jusque dans le substrat au-dessous de la couche épitaxiée en dehors de la zone où la couche enterrée est présente et, d'autre part, une ouverture (50, 60) à section en U localisée au-dessus de la couche enterrée et pénétrant à l'intérieur de celle-ci sans la traverser complètement pour constituer un puits d'accès à la couche enterrée, ledit sillon et ladite ouverture coupant en certains emplacements les jonctions entre lesdites zones et la couche épitaxiée ;

- d) procéder à une oxydation thermique pour isoler diélectriquement latéralement le sillon et l'ouverture avec une couche d'oxyde (41, 51, 61) ;
- e) procéder à une implantation ionique pour rendre le fond du sillon et de l'ouverture attaquable sélectivement ;
- f) attaquer sélectivement la couche d'oxyde au fond du sillon et de l'ouverture pour l'éliminer ;
- g) remplir le sillon et l'ouverture d'une substance conductrice (42, 52, 62) permettant l'établissement d'un accès électrique vers le substrat par le sillon périphérique et d'un accès électrique vers la couche enterrée par l'ouverture ;
- h) achever la structure en réalisant les diffusions supplémentaires nécessaires et les interconnexions désirées."

Les revendications 2 à 4 dépendent de la revendication 1.

VI. Les motifs de recours peuvent être résumés comme suit :

En partant de l'art antérieur donné par la Requérante (figure 1 de la demande), l'homme du métier qui voudrait améliorer l'isolation entre les éléments et réduire l'encombrement, ne pourrait pas à l'aide des autres documents de l'art antérieur connus, en particulier des documents D1 et D2, aboutir au procédé revendiqué sans avoir à effectuer d'autres démarches non évidentes. En effet, d'une part, il serait dissuadé de réaliser un puits d'accès au substrat dès lors qu'il aurait choisi de faire une isola-

tion diélectrique et d'autre part, même s'il décidait de réaliser cet accès, il n'y aurait aucune raison de réaliser un sillon qui entoure complètement le transistor.

En outre, pour arriver à l'invention, l'homme du métier devrait reconnaître qu'il est inutile de former un sillon périphérique tout autour de la couche enterrée et en contact avec elle, qu'il est possible de traiter de manière identique le sillon d'accès au substrat et le sillon d'accès à la couche enterrée et qu'il est avantageux d'utiliser des sillons à parois verticales. Pour toutes ces raisons, la présence d'une activité inventive doit être reconnue.

Motifs de la décision

1. Le recours répond aux conditions énoncées aux articles 106, 107 et 108 ainsi qu'à la règle 64 de la CBE ; il est donc recevable.
2. La revendication 1 actuelle de même que la demande dans son ensemble satisfont aux exigences de l'article 123(2) de la CBE.

La forme de la revendication 1 qui n'est pas divisée en un préambule et une partie caractérisante a été choisie pour des raisons de clarté, certaines étapes du procédé étant connues dans la technique antérieure mais étant effectuées dans un ordre chronologique différent, de sorte que la rédaction d'une revendication en deux parties convenablement délimitée eût été lourde et compliquée.

3. Nouveauté

3.1 L'art antérieur mentionné par la Requérante dans la demande (figure 1 et description correspondante) correspond essentiellement au document US-A-4 029 527 (DO).

DO se réfère au procédé de fabrication d'un transistor formé dans le caisson d'un circuit intégré délimité latéralement par des murs d'isolement profonds (4) et dont le fond contient une couche enterrée (2) dans un substrat semi-conducteur (1) d'un premier type de conductivité (p), la couche enterrée étant d'un deuxième type de conductivité (n), ce procédé comprenant les étapes qui consistent à :

- former la couche enterrée localisée (2) dans le substrat (1) du premier type de conductivité au-dessus duquel est amenée à croître une couche épitaxiée (3) du deuxième type de conductivité (n) ;
- former, d'une part, les murs d'isolement profond (4) pénétrant jusque dans le substrat au-dessous de la couche épitaxiée (3) en dehors de la zone où la couche enterrée (2) est présente et, d'autre part, former une zone (5) localisée au-dessus de la couche enterrée (2) et pénétrant à l'intérieur de celle-ci sans la traverser complètement pour constituer un accès à la couche enterrée ;
- diffuser en des emplacements choisis de la couche épitaxiée (3) des zones (6) du premier type de conductivité (p) pour former des couches fonctionnelles du transistor ;

- achever la structure en réalisant les diffusions supplémentaires nécessaires (7) et les interconnexions désirées (11).

Contrairement à l'objet de la revendication 1, dans le procédé du document DO, les murs d'isolement du transistor et l'accès à la couche enterrée sont réalisés au moyen de zones diffusées profondes et non à l'aide de sillons profonds isolés latéralement et remplis d'une substance conductrice. En outre, la séquence des étapes communes du procédé selon la revendication 1 et du procédé connu du fait du document DO est différente.

3.2 Le document (D1) (notamment figure 1) décrit un procédé de fabrication d'un transistor formé dans le caisson d'un circuit intégré délimité latéralement par un sillon périphérique profond (18) et dont le fond contient une couche enterrée (12) dans un substrat semi-conducteur (10) d'un premier type de conductivité (p-), la couche enterrée (12) étant d'un deuxième type de conductivité (n⁺), ledit procédé comprenant les étapes qui consistent à :

- former la couche enterrée (12) localisée dans le substrat (10) (phase 2) au-dessus duquel est amenée à croître une couche épitaxiée (n) (phase 3) ;
- creuser un sillon périphérique (18) entourant le transistor et la couche enterrée (12) et pénétrant jusque dans le substrat au-dessous de la couche épitaxiée (16) (phase 4) ;
- procéder à une oxydation pour isoler diélectriquement latéralement le sillon (18) avec une couche d'oxyde (22) (phase 5) ;
- attaquer sélectivement la couche d'oxyde (22) au fond (24) du sillon (18) pour l'éliminer (phase 6) ;

- attaquer sélectivement la couche d'oxyde (22) au fond (24) du sillon (18) pour l'éliminer (phase 6) ;
- remplir le sillon (18) d'une substance conductrice (26) permettant l'établissement d'un accès électrique à la couche enterrée (12) (phase 7) ;
- diffuser en des emplacements choisis de la couche épitaxiée des zones (32) du premier type de conductivité (p) pour former des couches fonctionnelles du transistor (phase 8) ;
- achever la structure en réalisant les diffusions supplémentaires nécessaires (région 36) (phase 9) et les interconnexions désirées (40, 42, 44).

Contrairement à l'objet de la revendication 1, le sillon périphérique profond n'est pas situé en dehors de la zone où la couche enterrée est présente, il n'est formé qu'un sillon entourant le transistor mais aucune ouverture localisée au-dessus de la couche enterrée, le sillon périphérique profond ne comporte pas de contact électrique avec le substrat, la forme du sillon est en V, l'isolation diélectrique est effectuée par dépôt d'oxyde et non par oxydation thermique, l'attaque sélective du fond du sillon est pratiquée selon les procédés classiques de masquage photographique (page 4, dernier alinéa) et non par implantation ionique et l'ordre des étapes est différente.

3.3 Le document D2 décrit un procédé selon lequel des couches d'oxyde thermique (7,8) sont formées dans des sillons (6) gravés au-dessus de la couche enterrée (2). Après décapage pour exposer la base intrinsèque (1) du transistor dans les sillons, ceux-ci sont remplis d'une substance conductrice (9) qui permet aussi uniquement l'établissement d'un accès électrique à la base du transistor. A la fin du procédé, on réalise les interconnexions désirées.

Contrairement à l'objet de la revendication 1, les sillons ne servent pas à isoler le transistor et ne permettent ni l'établissement d'un accès électrique au substrat (3), cet accès étant réalisé par diffusion à travers la couche épitaxiale (1'), ni à la couche enterrée (2), cet accès étant réalisé par diffusion à travers la couche (4).

En outre, les sillons ne sont pas en U, l'oxyde thermique formé dans les sillons croît sur une plus faible épaisseur dans la région de la base du transistor du fait du faible dopage de cette région, de sorte que l'exposition de cette région est obtenue par décapage uniforme des couches d'oxyde et non par attaque sélective de zones dans lesquelles a été effectuée une implantation ionique. Les deux premières étapes de la revendication 1 de la présente demande de brevet concernant la formation de la couche enterrée et la diffusion de zones pour former les couches fonctionnelles du transistor ne sont pas mentionnées.

- 3.4 Le document "Etch rate characterization of boron-implanted thermally grown SO_2 ", Journal of the Electrochemical society, vol. 120, n° 11, novembre 1973, Princeton (US), pages 1566 à 1570 (D3) ne se réfère pas directement au procédé de fabrication d'un transistor du genre de celui décrit dans la revendication 1. Il y est par contre mentionné le fait qu'en soumettant une couche de silicium à une implantation ionique, on accroît considérablement le taux de décapage dans les régions sélectivement implantées.
- 3.5 Les autres documents connus ne sont pas pertinents.
- 3.6 L'objet de la revendication 1 est donc nouveau au sens de l'article 54 de la CBE.

3.7 Les objets des revendications 2 à 4 comportent les caractéristiques de la revendication 1 et sont, de ce fait, également nouveaux.

4. Activité inventive

4.1 Le problème que le procédé de l'invention vise à résoudre est de réaliser de manière particulièrement simple une structure de transistor formée dans le caisson d'un circuit intégré qui, tout en donnant au moins les mêmes résultats que les structures obtenues par les procédés connus du type décrit dans le document D0, présente des dimensions réduites.

Ce problème est résolu selon l'invention au moyen de la combinaison de l'ensemble des caractéristiques de la revendication 1.

4.2 Le simple fait de poser ce problème technique ne nécessite pas l'exercice d'une activité inventive, car l'obtention d'une miniaturisation de plus en plus poussée des circuits intégrés est une mesure courante dans ce domaine et ceci est d'ailleurs explicitement mentionné dans le document D1 (page 2, lignes 17 et 18) ; en outre, la simplification des procédés, en général, est recherchée dans tout domaine de la technique.

4.3 Par contre, la solution du problème n'est pas évidente. En partant du document D0, qui, selon la Chambre de recours, est le plus pertinent, l'homme de métier trouve dans le document D1 un procédé qui a pour but justement de réduire l'encombrement des structures intégrées de transistors et qui suggère, pour atteindre ce but, le remplacement de la zone diffusée ayant la fonction de liaison électrique avec la couche enterrée par un sillon isolé latéralement et

rempli d'une substance conductrice et en même temps l'utilisation de ce sillon pour isoler périphériquement la structure du transistor, parce qu'il divulgue un sillon (18) dont une partie est remplie d'une substance conductrice (26) pour établir une liaison électrique avec une couche enterrée N^+ (voir 3.2 ci-dessus).

Cependant, le document D1 ne suggère pas de remplacer le contact du substrat, habituellement formé par diffusion, par un sillon isolé latéralement et rempli d'une substance conductrice. En effet, lorsqu'on utilise un sillon périphérique, qui assure un bon isolement, l'emploi d'un contact du substrat formé par diffusion n'oblige pas à garder une distance entre contact et sillon ; l'homme du métier, intéressé à réduire l'encombrement, ne sera donc pas incité à rechercher une autre solution.

D'ailleurs, le document D2, plus récent de cinq ans par rapport au document D1, bien qu'il utilise un sillon rempli d'une substance conductrice pour contacter la base du transistor, réalise l'accès à la couche enterrée et au substrat de façon classique, c.-à-d. par diffusion.

D'autre part, l'homme du métier ne sera pas incité à déplacer le sillon isolé connu du fait du D1 en dehors de la zone où la couche enterrée est présente afin de pouvoir l'utiliser comme moyen d'accès au substrat puisqu'il perdra alors l'avantage de pouvoir l'utiliser pour l'accès à la couche enterrée.

Pour parvenir au procédé de l'invention, il ne suffit d'ailleurs pas de modifier le procédé connu du fait du D1 en réalisant le sillon périphérique en dehors de la couche enterrée et de remplacer l'accès diffusé classique à la

couche enterrée par un puits d'accès similaire dans son principe au sillon d'accès du document D1 mais limité au rôle d'établissement de contact. Il faut également effectuer les démarches suivantes qui consistent à :

- réaliser le sillon et le puits simultanément, ce qui résulte en une simplification considérable du procédé par rapport aux procédés divulgués par les documents D1 ou D2 (ceci est possible du fait que le sillon et le puits ont la même structure) ;
- réaliser le sillon et le puits en forme de U, ce qui permet une réduction ultérieure des dimensions ;
- utiliser pour ouvrir la couche d'oxyde thermique dans la région de la couche profonde avec laquelle un contact doit être établi, une implantation ionique sélective suivie d'un décapage (procédé en soi connu ; voir document D3) ;
- modifier la séquence des étapes des procédés connus.

Il est exact, comme la Division d'examen l'a déjà fait remarquer dans sa décision, que la Requérante considère connu le fait de pouvoir accéder à une couche profonde d'un semiconducteur par un puits isolé latéralement et rempli d'une substance conductrice. En effet, un tel procédé est d'ailleurs connu du fait du document D1. La Chambre de recours ne partage pas, par contre, l'opinion exprimée par la Division d'examen selon laquelle "ceci revient à dire que l'on peut ainsi contacter n'importe quelle couche profonde". Il s'agit là d'une généralisation injustifiée, qui ne peut donc pas affecter le jugement sur l'activité inventive. Comme il est d'ailleurs bien connu, les facteurs essentiels que le fabricant de circuits

intégrés a constamment à l'esprit, à savoir la simplification des procédés de fabrication et la miniaturisation, imposent des exigences souvent contradictoires de sorte que le choix d'une caractéristique ou d'une étape de procédé, semblant à première vue banale, ne puisse être considérée comme le résultat d'une démarche évidente mais doit être considérée en relation avec l'ensemble des étapes du procédé et de la structure obtenue.

- 4.4 La Division d'examen a, en partie, fondé sa décision sur le fait que l'argument invoqué par la Requérante pour justifier de l'activité inventive du procédé de l'invention, à savoir la simplification non évidente du procédé résultant de la formation simultanée des deux types de sillons n'était pas soutenable, étant donné que la Requérante elle-même considérait que la réalisation simultanée ou consécutive des deux types de sillons devait être laissée à l'appréciation de l'homme du métier. Au soutien de cet argument, la Division d'opposition a invoqué le fait que les sillons d'accès au substrat (mur d'isolement) peuvent être réalisés simultanément, ce qui réduit le nombre des étapes de fabrication. L'interprétation faite par la Division d'examen du verbe "peuvent" comme couvrant une alternative (peuvent ou non) et non la constatation d'un résultat (peuvent, par conséquent), est en soi discutable dans le contexte de cette phrase. Elle est, par ailleurs, en contradiction formelle avec la partie de la description page 3, ligne 29, qui précise que les sillons sont réalisés simultanément. Cependant, pour éviter toute ambiguïté, la Requérante a remplacé page 5, ligne 32 les termes "peuvent être" par "sont". Quoiqu'il en soit, et même si la Requérante avait effectivement prévue dans la description d'origine une telle alternative, rien ne s'oppose à ce qu'elle se limite, au cours de l'examen, à l'une des solutions envisagées qui présente, comme indiqué dans la description, un avantage évident par rapport à l'autre.

Dans ces conditions, la Chambre de recours ne peut également suivre la Division sur ce point. Bien que l'obtention d'un avantage particulier ne soit une condition de brevetabilité, elle constitue un élément non négligeable pour l'appréciation de l'activité inventive, dans la mesure où elle tend à démontrer le caractère non évident de l'invention. Ceci est plus particulièrement le cas dans un domaine tel que celui des circuits intégrés en constante évolution et dans lequel tout avantage, même minime, présente une importance considérable.

4.5 Pour ces raisons, l'objet de la revendication 1 est considéré comme impliquant une activité inventive au sens de l'article 56 de la CBE et la revendication 1 définit donc une invention brevetable.

4.6 Les revendications 2 à 4 concernent des modes particuliers de réalisation de l'invention et sont donc de ce fait également admissibles.

Dispositif

Par ces motifs, il est statué comme suit :

1. La décision de la Division d'examen est annulée.
2. L'affaire est renvoyée devant la première instance pour délivrance d'un brevet sur la base des documents suivants :

2.1 description :

- pages 1 à 10 de la demande de brevet initiale avec mission d'effectuer les modifications suivantes :
- page 1 : changer le titre en "Procédé de fabrication d'une structure de transistors" ;
- page 1, ligne 1 : remplacer cette ligne par :
"La présente invention concerne un procédé de fabrication d'une structure de tran-" ;
- page 1, ligne 12 : ajouter après "tion." : "Le brevet US-A-4 029 527 en est un autre exemple." ;
- page 3, ligne 9 : ajouter après "parasites" : "Le brevet FR-A-2 257 148 montre un exemple d'une telle solution." ;
- page 3, ligne 10 : remplacer cette ligne par :
"Ainsi, le but de la présente invention est de proposer un procédé de fabrication d'" ;
- page 3, lignes 16 à 18 : supprimer ces lignes ;
- page 3, lignes 19 à 26 : remplacer ces lignes par
"Ainsi la présente invention consiste en un procédé..."
(reprendre ensuite le libellé de la revendication 1 en y supprimant toutefois les chiffres de référence) ;
- page 4, ligne 2 : remplacer cette ligne par "structure de transistor bipolaire obtenue avec un procédé selon la présente invention" ;

- page 4, ligne 7 : remplacer cette ligne par "bipolaire obtenu avec un procédé selon la présente invention" ;
- page 5, ligne 32 : remplacer "peuvent être" par "sont" ;
- page 7, ligne 32 : remplacer les termes "micron" et "microns" par "micromètre" et "micromètres" respectivement ;
- page 8, ligne 12 : ajouter après "sillons" la phrase "On pourra se référer à l'article "Etch Rate Characterization of Boron- Implanted Thermally Grown SiO₂" de R.V. Schnettmann publié dans le "Journal of the Electrochemical Society", vol. 120, n° 11, novembre 1973, Princeton (US), pages 1566 à 1570" ;
- page 10, lignes 24 à 27 : supprimer ces lignes.

2.2 Revendications

- revendications 1 à 4, pages 8 à 10 de la notification du 23 octobre 1986 ;

2.3 Dessins

- figures 1 à 8 de la demande de brevet initiale.

Le greffier :

Le président :

F.Klein

K.Lederer