

Veröffentlichung im Amtsblatt Ja / Nein

Aktenzeichen: T 72/91 - 3.5.1

Anmeldenummer: 82 107 492.9

Veröffentlichungs-Nr.: 0 075 711

Bezeichnung der Erfindung: Speicherzelle, Assoziativspeicher und
Verfahren zu deren Betrieb

Klassifikation: G11C 15/00

ENTSCHEIDUNG

vom 8. März 1991

Anmelder: Siemens AG

Stichwort:

EPÜ Art. 52 (1), 56

Schlagwort: "Erfinderische Tätigkeit (nein)"

Leitsatz



Aktenzeichen: T 72/91 - 3.5.1

E N T S C H E I D U N G
der Technischen Beschwerdekammer 3.5.1
vom 8. März 1991

Beschwerdeführer: Siemens Aktiengesellschaft
Berlin und München
Postfach 22 16 34
D-8000 München 22

Angefochtene Entscheidung: Entscheidung der Prüfungsabteilung 067 des
Europäischen Patentamts vom 24. Juli 1990, mit
der die europäische Patentanmeldung
Nr. 82 107 492.9 aufgrund des Artikels 97 (1) EPÜ
zurückgewiesen worden ist.

Zusammensetzung der Kammer:

Vorsitzender: P.K.J. Van den Berg
Mitglieder: R. Randes
F. Benussi

Sachverhalt und Anträge

- I. Die europäische Patentanmeldung 82 107 492.9 (Veröffentlichungsnummer 0 075 711) wurde mit der Entscheidung vom 24. Juli 1990 von der Prüfungsabteilung zurückgewiesen.
- II. Die Zurückweisung wurde damit begründet, daß der Gegenstand des am 27. November 1987 eingereichten Anspruchs 1 im Hinblick auf das Dokument

D1: US-A-3 633 182

auf keiner erfinderischen Tätigkeit beruhe.

Der am 27. November 1987 eingereichte und noch geltende Anspruch 1 lautet wie folgt:

"Assoziativspeicher mit in Zeilen und Spalten angeordneten Speicherzellen, die jeweils eine RAM-Zelle (R) enthalten, wobei jede Speicherzelle folgende Merkmale aufweist:

- a) zwei Anschlüsse an eine Wortleitung (W_j), wobei die Wortleitung (W_j) mit den Steueranschlüssen zweier erster Transistoren (T_2, T_3) verbunden ist,
- b) zwei Anschlüsse an eine Bitleitung (B_j), wobei die Bitleitung (\overline{B}_j) mit einem ersten Anschluß eines der ersten Transistoren (T_2) und mit einem Anschluß eines von zwei zweiten Transistoren (E_1) verbunden ist,
- c) zwei Anschlüsse an eine weitere Bitleitung (\overline{B}_j), die das invertierte Signal der Bitleitung (B_j) als Signal aufweist, wobei diese weitere Bitleitung (\overline{B}_j) mit einem ersten Anschluß des anderen der beiden ersten

Transistoren (T3) und mit einem Anschluß des anderen der beiden zweiten Transistoren (E2) verbunden ist,

- d) Verbindung eines ersten Knotes (A1) der RAM-Zelle (R) mit einem zweiten Anschluß des einen der beiden ersten Transistoren (T2) und mit dem Steueranschluß eines der beiden zweiten Transistoren (E2) und Verbindung eines zweiten Knotens (A2) der RAM-Zelle (R) mit einem zweiten Anschluß des anderen der beiden ersten Transistoren (T3) und mit dem Steueranschluß des anderen der beiden zweiten Transistoren (E1),
- e) Verbindungen der anderen Anschlüsse der beiden zweiten Transistoren (E1, E2) mit einem Anschluß eines dritten Transistors (T1) und
- f) Steuerung einer Trefferleitung (HIT) über den Steueranschluß des dritten Transistors (T1),

g e k e n n z e i c h n e t d u r c h eine Verbindung der anderen Anschlüsse der beiden zweiten Transistoren (E1, E2) jeder Zelle mit dem Steueranschluß des dritten Transistors (T1) und durch je ein NOR-Gatter pro Zeile, bestehend aus der Trefferleitung (HIT) und den dritten Transistoren (T1) derjenigen Speicherzellen, welche die betreffende Zeile bilden, sowie einem Lasttransistor zwischen einem Anschluß für die Versorgungsspannung und der Trefferleitung (HIT)".

Hinsichtlich der Frage der erfinderischen Tätigkeit hat die Prüfungsabteilung unter Entscheidungsgründe u. a. folgendes vorgetragen:

unter Ziffer 10

"Aus dem Dokument D1 sind die im Oberbegriff des Anspruchs 1 genannten Merkmale, mit der Ausnahme der Steuerung der Trefferleitung über den Steueranschluß des dritten Transistors, bekannt. Bei der bekannten Speicherzelle (Figur 1) wird bei aktivierter Wortleitung W die an der Bitleitung B anliegende Information in die Zelle eingeschrieben und bei nicht aktivierter Wortleitung die an der Bitleitung B anliegende Information mit der in der Zelle gespeicherten Information verglichen, wonach das Ergebnis über T_1 (23) an eine Trefferleitung weitergegeben wird. In der Ausführung gemäß D1 bleibt während des Vergleichs bei einem "HIT" das Signal an der Trefferleitung auf Massenniveau, während bei einem "MISS" dasselbe Signal positiv wird. Dagegen wird bei der Erfindung bei Übereinstimmung ein an der Trefferleitung anliegendes positives Signal nicht geändert. Stimmt bei dem Vergleich die an der Bitleitung anliegende Information nicht überein mit dem Inhalt der Zelle, so wird die Trefferleitung aus Massenniveau gezogen. In dem bekannten Speicher tritt pro Zeile ein "Mismatch" auf, wenn zumindest einer der Transistoren 23 ein positives Signal auf der HIT-Leitung M (normalerweise auf Massenniveau) weiterleitet. Das bedeutet, daß die Elemente 23 in einer Zeile zusammen mit der Leitung M für einen "Mismatch" eine OR-Gatterschaltung darstellen."

unter Ziffer 11

"Der Anmeldungsgegenstand ist dadurch gekennzeichnet, daß in dem Assoziativspeicher einer NOR-Gatterschaltung pro Speicherzeile realisiert wird. Es gehört zu dem allgemeinen Fachwissen, daß bei einer mit Transistoren aufgebauten NOR-Gatterschaltung die Steuerung normalerweise über die Steueranschlüsse gemacht wird, so daß der Vorteil der leistungslosen Steuerung, genannt in der

Erwiderung vom 24. August 1988, naheliegend ist. Die in der Entgegenhaltung D1 verwendeten Elemente 23 sind als Dioden geschaltete Transistoren und können durch Dioden ersetzt werden. In beiden Fällen wird jedoch ein OR-Gatter gebildet. Es ist jedoch für den Fachmann naheliegend, ausgehend von der Lehre aus US-A-3 633 182, verschiedene Möglichkeiten von Gattern für die Trefferleitungen zu betrachten. Dazu gehört auch die Möglichkeit der Verwendung einer NOR-Gatterschaltung."

III. Gegen diese Entscheidung hat die Beschwerdeführerin (Anmelderin) am 21. August 1990 Beschwerde eingelegt mit dem Antrag, die Entscheidung aufzuheben und das Patent zu erteilen. Die Beschwerdegebühr ist am selben Tag gezahlt worden, und die Begründung der Beschwerde ist am 22. November 1990 eingegangen.

Außer den Ausführungen in der Beschwerdebegründung hat die Beschwerdeführerin noch auf ihre Schriftsätze vom 24. August 1988 und vom 19. Februar 1990 verwiesen, worin sie zusammenfassend im wesentlichen folgendes vorgetragen hat:

Anspruch 1 ist gegenüber D1 abgegrenzt. Nach dem Gegenstand des Anspruchs 1 sind die beiden zweiten Transistoren (E1,E2) der Speicherzelle mit dem Steueranschluß des dritten Transistors (T1) verbunden, während bei der Anordnung der D1 die beiden zweiten Transistoren (21,22) direkt über die Source-Drain-Strecke des dritten Transistors (23) mit der Trefferleitung M verbunden sind. Bei dem Gegenstand des Anspruchs 1 ist der dritte Transistor-Teil eines NOR-Gatters, während er gemäß der Entgegenhaltung ein Teil eines OR-Gatters ist. Bei der bekannten Anordnung wird "das mit dem Speicherinhalt zu vergleichende Signal selbst zur Umladung der Kapazität der

Trefferleitung M sowie der Kapazitäten sämtlicher zwischen der einen Bitleitung und Trefferleitung M liegenden, verbindenden Leiterbahnen herangezogen". Dies ist aber nachteilig, weil

"dann die signalabhängige Ladung auf der Bitleitung wegen der genannten Kapazitäten nicht mehr ausreicht, um auf der Trefferleitung M noch ein deutliches Spannungssignal entstehen zu lassen".

Dieser Nachteil wird durch die Schaltung gemäß dem kennzeichnenden Teil des Anspruchs 1 abgeholfen. Dabei ist nicht nur ein OR-Gatter durch ein NOR-Gatter ersetzt, sondern es wird auch eine gezielte Entkopplung der Bitleitungen von der Trefferleitung erreicht, wobei das mit dem Speicherinhalt zu vergleichende Signal nur zur leistungslosen Ansteuerung des dritten Transistors dient und nicht direkt zur Potentialänderung auf der Trefferleitung HIT herangezogen wird.

In der eigentlichen Beschwerdebegründung hat die Beschwerdeführerin nochmal zu der Aufgabenstellung - Vermeidung von dem oben genannten Nachteil - geäußert. Sie ist der Meinung, daß D1 kein Hinweis auf ein konkretes Gatter gebe, die in Richtung der vorliegenden Erfindung führen würde und sagt zu der Aufgabenstellung noch folgendes:

"Das entgegengehaltene Schutzrecht wurde bereits 1969 angemeldet; zu diesem Zeitpunkt wurde nur eine geringe Anzahl von Speicherzellen auf einem Chip integriert und die Bitleitungen (B, \bar{B}) konnten relativ massiv ausgelegt werden.

Zum Anmeldezeitpunkt (1982) der Erfindung wurden, im Vergleich zum Gegenstand der Entgeghaltung, wesentlich

mehr Speicherzellen auf einem Chip integriert, mehr Speicherworte parallel abgefragt und aufgrund der höheren Integrationsdichte aber gleichzeitig dünnere Bitleitungen benötigt. Die hohen Strombelastungen der Bitleitungen machten zusätzlich eine Entkopplung der Speicherzellen von den Bitleitungen (leistungslose Steuerung) erforderlich.

Die Erfindung stellt somit die Lösung einer zur Aufgabe der Entgegenhaltung unterschiedlichen Aufgabe dar, obgleich dies in der Beschreibung der Erfindung nicht expressis verbis seinen Ausdruck findet."

Entscheidungsgründe

1. Die Beschwerde ist zulässig.
2. Der Gegenstand des Anspruchs 1 ist neu (Artikel 54 EPÜ).
3. Die Kammer stimmt mit der Beschwerdeführerin darin überein, daß zur Prüfung der erfinderischen Tätigkeit vom Stand der Technik nach D1, der dem im Oberbegriff des vorliegenden Anspruchs 1 definierten Assoziativspeicher entsprechen soll (vgl. jedoch die Ausführungen der Prüfungsabteilung unter II oben, zitierter Abschnitt 10, erster Satz), auszugehen ist.
 - 3.1 Diesem nächstliegenden Stand der Technik gegenüber liegt die objektive Aufgabe zugrunde, wie die Beschwerdeführerin in ihren Ausführungen klargemacht hat (siehe unter III oben), den genannten Nachteil zu vermeiden, d. h. daß das Signal auf der Trefferleitung (M in D1; HIT in der Anmeldung) - auch bei einem Chip mit hoher Integrationsdichte und einer großen Zahl von Zellen und dünnen Leitungen - immer deutlich sein muß.

3.2 Die Beschwerdeführerin hat aber, wie oben ausgeführt, die Meinung vertreten, daß der Gegenstand des Anspruchs 1 die Lösung einer zur Aufgabe der D1 unterschiedlichen Aufgabe darstelle, und meint offenbar deshalb, daß die der Erfindung zugrundeliegende Aufgabenstellung nicht aus D1 abzuleiten sei. Die Kammer ist aber der Auffassung, daß ausgehend von der Technik gemäß D1 und unter Berücksichtigung der Entwicklung der Technik, welche von der Beschwerdeführerin selbst zutreffend in der Beschwerdebegründung hervorgebracht wurde (siehe unter Ziffer III, letzter zitierter Abschnitt), der Fachmann zwangsweise auf das im vorliegenden Fall entstandene Problem und die entsprechende Aufgabenstellung stößt. Zum Veröffentlichungszeitpunkt der D1 (1972) wurde nur eine geringe Anzahl von Speicherzellen auf einem Chip integriert und der Fachmann mußte sich nicht mit dem genannten Problem beschäftigen. Mit der Zeit wurde aber die Integrationsdichte erhöht, wobei der Fachmann natürlicherweise die Leistung der Anordnung beobachten mußte und entsprechende Änderungen machen mußte um eine normale Funktion der Anordnung zu gewährleisten. Deshalb scheint es, daß zum Prioritätsdatum der Anmeldung (1981) die Aufgabenstellung an sich nichts Erfinderisches beinhalten konnte.

3.3 Die Beschwerdeführerin hat in der Beschwerdebegründung nur die Aufgabenstellung angeschnitten und keine neue Gründe oder Argumente eingeführt, die zu einem neuen Verständnis der vermeintlichen Erfindung führen könnten oder andeuten könnten, daß die Entscheidung der Prüfungsabteilung nicht korrekt war. Im Gegenteil hat diese Argumentation der Beschwerdeführerin die Kammer davon überzeugt, daß die Prüfungsabteilung D1 ganz korrekt sowohl als Ausgangspunkt der vermeintliche Erfindung als auch als eine zutreffende Entgegnung gesehen hat. Die Kammer hat keine Ursache mit der Entscheidung der Prüfungsabteilung unzufrieden zu sein, sondern findet, daß die Prüfungsabteilung die Lehre

der D1 korrekt interpretiert hat (siehe unter Ziffer II oben, zitierter Absatz 10) und dabei auch die richtigen Schlußfolgerungen gezogen hat (Ziffer II oben, zitierter Absatz 11).

3.4 Weil der unter Ziffer III oben genannte Nachteil vermieden werden soll, scheint es nämlich auch der Kammer, daß es für den Fachmann selbstverständlich ist, daß der Trefferleitung (M in D1) von den Bitleitungen entkoppelt werden muß. Dabei gehört es aber zum allgemeinen Fachwissen, daß bei einer mit Transistoren aufgebauten NOR-Gatterschaltung die Steuerung normalerweise über die Steueranschlüsse gemacht wird, so daß eine Entkopplung und leistungslose Steuerung erhalten wird. Auch hat die Prüfungsabteilung darin recht, daß es für den Fachmann selbstverständlich ist, verschiedene Möglichkeiten von Gattern für die Trefferleitungen zu betrachten und dabei eine Gatterschaltung zu wählen, die für die Lösung der Aufgabe geeignet ist.

3.5 Aus diesen Gründen ist der Kammer zum Ergebnis gekommen, daß der Fachmann ausgehend von der Lehre der D1 aufgrund naheliegender Überlegungen zum Assoziativspeicher des Anspruchs 1 gelangen würde. Der Anspruch 1 ist daher mangels einer seinem Gegenstand zugrundeliegenden erfinderischen Tätigkeit nicht gewährbar (Artikel 52 (1) und 56 EPÜ).

9
1 729/91

Entscheidungsformel

Aus diesen Gründen wird entschieden:

Die Beschwerde wird zurückgewiesen.

Die Geschäftsstellenbeamtin:

Der Vorsitzende:

M. Kiehl

P.K.J. van den Berg