

Code de distribution interne :

- (A) [] Publication au JO
(B) [] Aux Présidents et Membres
(C) [X] Aux Présidents

D E C I S I O N
du 27 mars 1996

N° du recours : T 0465/94 - 3.5.2

N° de la demande : 88104984.5

N° de la publication : 0285067

C.I.B. : G11C 16/04

Langue de la procédure : FR

Titre de l'invention :

Mémoire non volatile à faible taux d'écriture et machine à affranchir en faisant application

Demandeur/Titulaire du brevet :

ALCATEL, SATMAM

Opposant :

Pitney Bowes, Inc.

Référence :

-

Normes juridiques appliquées :

CBE Art. 56, 100 b)

Mot-clé :

"Interprétation de l'art antérieur fondée sur une analyse ex post facto"

"Activité inventive (oui)"

"Exposé de l'invention clair et complet (oui)"

Décisions citées :

-

Exergue :

-



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Beschwerdekammern

Boards of Appeal

Chambres de recours

N° du recours : T 0465/94 - 3.5.2

D E C I S I O N
de la Chambre de recours technique 3.5.2
du 27 mars 1996

Requérant :
(Opposant) Pitney Bowes, Inc.
World Headquarters, One Elmcroft Rd.
USA - Stamford/Connecticut 06926 0700 (USA)

Mandataire :
Avery, Stephen John
Hoffmann, Eitle & Partner
Patentanwälte
Postfach 81 04 20
D - 81904 München (DE)

Intimé :
(Titulaire du brevet) ALCATEL SATMAM
113 rue Jean-Marie Naudin
F - 92220 Bagneux (FR)

Mandataire :
Weinmiller, Jürgen
Lennéstr. 9
Postfach 24
D - 82336 Feldafing (DE)

Décision attaquée : Décision de la division d'opposition de l'Office européen des brevets signifiée par voie postale le 25 février 1994 par laquelle l'opposition formée à l'égard du brevet n° 0 285 067 a été rejetée conformément aux dispositions de l'article 102(2) CBE.

Composition de la Chambre :

Président : W. J. L. Wheeler
Membres : M. R. J. Villemin
J.-C. Saisset

Exposé des faits et conclusions

- I. Le requérant, qui avait fait opposition au brevet européen n° 0 285 067 a formé un recours contre la décision de la Division d'opposition rejetant son opposition.

Dans la notice d'opposition, l'opposant (maintenant requérant) avait demandé la révocation du brevet aux titres des articles 100 a) et 100b) CBE.

- II. Le brevet contesté comporte 18 revendications. La revendication 1 s'énonce comme suit :

"1. Mémoire non volatile à faible taux d'écriture, pour l'enregistrement d'ensembles successifs de données, ayant m bits par ensemble et un nombre R de renouvellements possibles, comportant une mémoire adressable pour un nombre maximal E d'écritures par adresse, ayant un espace mémoire limité (1), définissant une capacité inférieure à celle requise pour les R renouvellements des dits ensembles de données, affecté audits ensembles, caractérisé en ce que ledit espace mémoire limité (1) est organisé en une première zone (5) affectée à l'enregistrement à des premières adresses fixes dans cette première zone de n des m bits de chaque ensemble, qui présentent un nombre de renouvellements inférieur à E , et une deuxième zone (6) affectée à l'enregistrement à des secondes adresses variables dans cette seconde zone des $m-n$ bits restants de chaque ensemble, avec au moins l'un des n bits de l'ensemble considéré, dit bit de redondance, et en ce qu'elle comporte, en outre, un circuit programmé (2) de traitement et de gestion d'adressage dudit espace mémoire limité, commandant, à chaque renouvellement desdits n bits, si les n bits enregistrés différent des n bits à enregistrer la

désignation desdites premières adresses fixes, pour l'enregistrement des n nouveaux bits se substituant aux précédents, et, à chaque nouvel ensemble, une progression desdites secondes adresses variables, selon une suite en boucle fermée définie par la totalité desdites secondes adresses, pour la désignation de nouvelles secondes adresses d'enregistrement dans ladite deuxième zone desdits m-n bits avec au moins leur bit de redondance."

La revendication 4 s'énonce comme suit :

"4. Machine à affranchir comportant des moyens élaborant les valeurs globales successives des affranchissements réalisés et faisant application d'une mémoire selon l'une des revendications 2 et 3, caractérisée en ce que ledit espace mémoire limité (1) constitue la mémoire dite de compteur ascendant de la machine à affranchir, pour laquelle les valeurs globales successives des affranchissements réalisés sont lesdits ensembles successifs de données et en ce que ledit circuit programmé (2) comporte des moyens de blocage (102) de ladite machine lorsque ledit compteur d'usure atteint le nombre maximal E d'écritures."

Les revendications 2 et 3 sont dépendantes de la revendication 1. Les revendications 5 à 18 sont dépendantes de la revendication 4.

III. Les documents suivants, mentionnés au cours de la procédure d'opposition, ont été pris en considération pendant la procédure de recours :

D1 : EP-A-0 172 573
D2 : US-A-4 584 647
D3 : US-A-4 335 434
D4 : US-A-4 528 683
D6 : DE-A-3 517 087
D7 : EP-A-0 131 343.

IV. Une procédure orale a eu lieu le 27 mars 1996 devant la Chambre, au cours de laquelle le requérant a soumis un document rédigé par lui-même ("Annex II") dont le texte correspondrait, selon son opinion, à celui de la revendication 1 dont l'objet serait délimité par rapport au document D1.

V. Le requérant a soumis essentiellement les arguments suivants :

Si la quantité des données devant être stockées dans la première des deux zones d'une mémoire est relativement faible et si des adresses fixes sont utilisées, alors il serait évident d'attribuer un espace mémoire réduit à cette première zone. La figure 3 du document D1 suggère que la mémoire 32 puisse être constituée par plusieurs mémoires individuelles 32a, 32b, 32c and 32d. Les mémoires 30 et 32 de D1 constitueraient une mémoire non volatile et la mémoire 30 stockerait les données AR et DR alors que la mémoire 32 stockerait la totalité des bits formant un ensemble de données AR+DR plus certaines données de postage. Dans le cas de D1, les m bits seraient donc constitués par la totalité de ces bits alors que la mémoire 30 stockerait les bits AR+DR constituant les n bits. Par conséquent, l'enseignement de D1 montrerait que la division d'une mémoire en une pluralité de zones s'avèrerait évidente. Le fait que, selon la revendication 1, les n bits seraient stockés chaque fois qu'ils devraient être renouvelés n'entraînerait pas une distinction claire avec la technique divulguée par le passage page 7, lignes 19 à 27 de D1, selon laquelle les n bits seraient stockés dans la mémoire 30 lors de chaque coupure de courant. Si ce passage était interprété comme signifiant que les données seraient enregistrées chaque fois qu'elles subiraient un changement à la suite d'une opération postale, alors un tel enregistrement apparaîtrait comme une variante

évidente du stockage en cas de coupure de courant. Il serait évident à la lumière de D1 que le concept consistant à mettre à jour une mémoire non volatile immédiatement après chaque opération postale serait bien connu et ne pourrait pas impliquer d'activité inventive. La fonction remplie par le sixième bit selon D4 correspondrait étroitement à celle assurée par le bit de redondance selon la revendication 1 car il aiderait à identifier celle des données enregistrées aux adresses variables qui a été mise à jour. L'invention selon D4 viserait également à réduire le nombre de cycles d'effacement, ce qui reviendrait essentiellement à rendre minimal le nombre de cycles d'écriture ainsi que le recherche le brevet contesté. Les cellules de stockage de la sixième décade du compteur selon D4, avec des adresses fixes, constitueraient la première zone de mémoire alors que les cellules pour le stockage des sorties des cinq décades de rang inférieur, avec des adresses variables cycliquement, constitueraient une seconde zone. Par conséquent, l'objet de la revendication 1 serait évident au vu de l'enseignement de D4. Les avantages attribués à l'invention seraient dus à des caractéristiques qui ne figureraient pas dans les revendications et qui sont des caractéristiques des données et non de la mémoire revendiquée.

La revendication 1 mentionnerait dans quelles zones de mémoire les deux parties d'un ensemble de données devraient être stockées mais n'indiquerait pas explicitement que ces parties seraient mises en mémoire simultanément. Le rôle joué par le ou les bits de redondance ne serait pas précisé dans la revendication 1 mais, quoi qu'il en soit, l'usage de tels bits serait connu des documents D1 ou D4. L'objet de la revendication 1 ne serait également pas inventif au vu de l'art

antérieur connu de D1 ou de la combinaison de cet art antérieur avec celui de D3 qui suggère la mise en oeuvre d'un compteur d'usure.

VI. L'intimé a soumis essentiellement les arguments suivants :

Assimiler les données AR+DR selon D1 aux n bits mentionnés dans la revendication 1, comme le fait le requérant, ne serait pas correct étant donné que ces données ne seraient pas stockées par la mémoire 30 à chaque cycle d'affranchissement mais seulement en cas de coupure de courant. Par conséquent, alors que l'ensemble de la mémoire 1 selon l'invention serait mise à jour lors de chaque cycle d'affranchissement seule la mémoire 32 selon D1 serait prévue pour une telle mise à jour, alors que pour la mémoire 30 D1 cette opération serait exceptionnelle. La délimitation de l'objet de la revendication 1 par rapport à D1 ainsi que la présente le requérant serait inexacte, en particulier parce que les données AR+DR+données postales selon D1 ne sont jamais divisées en deux parties, ni à chaque cycle d'affranchissement ni à chaque coupure de courant. Le rôle des bits de redondance serait clairement indiqué dans la description du brevet contesté et n'aurait pas à être précisé dans la revendication 1.

VII. Le requérant a requis l'annulation de la décision attaquée et la révocation du brevet européen n° 0 285 067.

VIII. L'intimé a requis le rejet du recours.

Motifs de la décision

1. Le recours est recevable.
2. Selon l'objection du requérant élevée dans la notice d'opposition et fondée sur l'article 100 b) CBE, le manque de clarté de la signification des bits de redondance et l'absence d'indication de la limite supérieure de leur nombre entraîneraient que l'invention ne serait pas exposée de façon suffisamment claire et complète pour qu'un homme du métier puisse l'exécuter. Cependant, la Chambre observe que la description (page 12, lignes 29-33) explique clairement que le bit de redondance rend aisée et rapide la détection de la dernière valeur enregistrée dans la deuxième zone de mémoire. Enfin, il ressort sans ambiguïté du texte de la revendication 1 que la première zone enregistre n bits parmi les m bits et que ces n bits contiennent au moins un bit de redondance, ce qui impose un nombre de bits de redondance inférieur à n , lui-même inférieur à m . Par conséquent, l'objection du requérant n'est pas fondée.

En ce qui concerne l'interprétation de la revendication 1, le requérant a objecté qu'il n'était pas explicite, à la lecture de la revendication 1 du brevet contesté, que les données n et $m-n$ soient enregistrées simultanément. La Chambre observe que le problème selon le brevet contesté repose sur le fait que les mémoires non volatiles du type EEPROM n'ont pas les inconvénients des mémoires du type RAM, dont la durée de vie est limitée par l'utilisation d'une pile, mais présentent le désavantage de ne tolérer qu'un nombre de cycles d'écriture limité qui est insuffisant, en utilisation normale de la mémoire, même dans le cas de leur utilisation dans des machines à affranchir de capacité moyenne les plus courantes sur le marché (voir

description, page 2, ligne 51, à page 3, ligne 17). Il est clair, dans le contexte de la description et selon le libellé de la revendication 1, que tout ensemble de données est formé par m bits constituant un message qui se rapporte, par exemple, à une transaction postale comportant plusieurs informations. Si, par exemple, les n bits étaient enregistrés dans la première zone 5 avant les $n-m$ bits de la deuxième zone 6, il est évident que cette deuxième zone 6 pourrait rester vide pendant un certain temps et que la seule information disponible dans l'espace mémoire 1 ne porterait pas sur les m bits de chaque ensemble de données mais se limiterait à celle des n bits stockés dans la première zone 5. Autrement dit, l'information serait incomplète et dépourvue d'utilité. En outre, étant donné que la revendication 1 mentionne "les R renouvellements desdits ensembles de données" le sens commun exige qu'il y ait renouvellement simultané des m bits de chaque ensemble. Le requérant n'a fourni aucun argument qui puisse justifier son objection. En conclusion, cette objection n'est également pas justifiée car la préservation de la cohérence des informations constituées par les m bits ne peut être assurée que si ces m bits sont enregistrés simultanément.

- 2.1 Le document D6 décrit une mémoire conforme à celle définie par le préambule de la revendication 1. Cette mémoire est divisée en au moins deux zones. Afin de rendre maximal le nombre de cycles de programmation et d'effacement de cette mémoire, les données ne sont enregistrées dans une zone qu'à la condition que le nombre maximal de cycles de programmation et d'effacement dans la zone précédente ait été atteint. De l'avis de la Chambre, ce document constitue l'art antérieur le plus proche de l'invention.

- 2.2 Par rapport à l'art antérieur le plus proche divulgué par D6, le problème à résoudre selon le brevet contesté est de concevoir un espace mémoire pour une mémoire non volatile à faible taux d'écriture divisée en plusieurs zones et d'organiser sa programmation de façon telle que le renouvellement de chaque ensemble de données puisse se faire par adressage simultané de l'ensemble de ces zones tout en introduisant une réduction du nombre de cycles d'écriture par adresse.
- 2.3 Selon la revendication 1 du brevet contesté, le problème est résolu en divisant l'espace mémoire 1 en deux zones 5, 6 stockant des parties différentes n et m-n d'un même ensemble m de données et par un traitement approprié de l'adressage de cet espace mémoire 1.
3. La mémoire selon la revendication 1 du brevet contesté diffère de celle décrite dans D6 par les caractéristiques (a) à (d) suivantes :
- (a) La première zone 5 de l'espace mémoire 1 est affectée à l'enregistrement, à des premières adresses fixes, de n des m bits de chaque ensemble de données qui présentent un nombre de renouvellements inférieur à E,
 - (b) La deuxième zone 6 de l'espace mémoire 1 est affectée à l'enregistrement, à des secondes adresses variables, des m-n bits restants de chaque ensemble avec au moins l'un des n bits de l'ensemble considéré, dit bit de redondance,
 - (c) La mémoire comporte un circuit programmé 2 de traitement et de gestion d'adressage commandant, à chaque renouvellement desdits n bits et si les n bits enregistrés diffèrent des n bits à

enregistrer, la désignation desdites premières adresses fixes pour l'enregistrement des n nouveaux bits se substituant aux précédents,

- (d) Pour l'enregistrement de chaque nouvel ensemble de m bits, le circuit programmé commande une progression desdites secondes adresses variables, selon une suite en boucle fermée définie par la totalité desdites secondes adresses, pour la désignation de nouvelles secondes adresses d'enregistrement dans ladite deuxième zone 6 desdits m-n bits avec au moins leur bit de redondance.

La mémoire définie par la revendication 1 du brevet contesté est donc nouvelle par rapport à celle connue de D6.

4. *Activité inventive*

- 4.1 Le problème selon D1 n'est pas de trouver une solution permettant de réduire le nombre de cycles d'écriture ou, d'éviter la nécessité d'utiliser une mémoire de forte capacité mais repose sur l'exigence d'empêcher que le fonctionnement erratique d'un microprocesseur, en cas de coupures ou de fluctuations de tension ("power failure", voir D1, page 2, ligne 1-14), puisse provoquer l'effacement d'informations ou l'écriture d'informations incohérentes dans une mémoire non volatile. Le problème à résoudre selon D1 n'a donc rien de commun avec celui selon la présente invention.

Le requérant a contesté ce point de vue en faisant remarquer que D1 enseignerait d'utiliser un adressage séquentiel de la mémoire 30 pour rendre maximale sa durée d'utilisation. La Chambre ne peut accepter ce point de vue pour les raisons suivantes :

Une caractéristique particulière, disons A, extraite de l'art antérieur divulgué par un document et visant à la solution d'un problème différent de celui traité dans une invention contestée ne peut être opposée à une caractéristique revendiquée, par exemple B, considérée isolément par rapport au reste C des caractéristiques revendiquées, lorsque B et C sont en relation fonctionnelle. Dans le cas du brevet contesté, c'est la coopération étroite entre les deux zones 5, 6 obtenues par division de l'espace mémoire 1 et destinées, sur l'ordre du circuit programmé 2, à stocker chacune une partie (n, n-m) de chaque ensemble (m) de données qui permet d'améliorer la durée d'utilisation de l'ensemble de l'espace mémoire 1. Les caractéristiques (a) à (d) sont en relation fonctionnelle et doivent être considérées dans leur ensemble et non isolément. Le recours à la mémoire 30 selon D1 n'a lieu qu'en cas de coupure de courant et son utilisation est non seulement exceptionnelle mais aussi indépendante de celle de la mémoire 32. Il en résulte que l'adressage séquentiel de la mémoire 30 ne procure aucune amélioration de la durée d'utilisation de la mémoire 32 puisque celle-ci a pour mission de toujours enregistrer, à chaque renouvellement de données et quel que soit le mode de fonctionnement de la mémoire 30, la totalité des bits d'information AR+DR+P, P désignant dans la suite de cette décision des données particulières de postage (voir D1, page 8, lignes 15-20). La coopération entre les mémoires 30 et 32 selon D1 est d'une nature différente de celle entre les zones 5 et 6 selon la revendication 1 parce que les problèmes à résoudre sont eux-mêmes différents.

Le requérant a objecté que la revendication 1 incluait le cas où tous les m bits seraient enregistrés dans la deuxième zone 6 à adresses variables, ce qui n'introduirait pas de distinction avec l'ensemble des AR+DR+P bits stockés dans la mémoire 32 selon D1. La

Chambre observe que, si cela était le cas, la deuxième zone 6 serait donc capable de stocker constamment toutes les données et, par conséquent, posséderait une capacité suffisante pour les R renouvellements indiqués par la revendication 1. Cette éventualité est cependant exclue par la revendication 1 elle-même qui stipule que l'ensemble de l'espace mémoire (1) possède une capacité "inférieure à celle requise pour les R renouvellements".

- 4.2 Dans son tableau comparatif soumis avec le mémoire de recours, le requérant a prétendu que les mémoires 30 et 32 selon D1 étaient respectivement équivalentes à la première zone 5 et à la seconde zone 6 de la mémoire 1 revendiquée. Pour les raisons suivantes, la Chambre ne peut accepter ce point de vue :

Les deux zones 5, 6 selon le brevet contesté sont deux mémoires obtenues en sous-divisant l'espace mémoire 1, qui est adressable pour un nombre maximal E d'écritures par adresse. Ces deux zones 5, 6 sont, par conséquent, deux mémoires adjacentes. Les deux mémoires 30 et 32 de D1 sont non volatiles mais ne sont pas décrites comme étant du même type : alors que la mémoire 30 peut être du type ER 3400 MNOS (page 7, 2^e paragraphe) sans que son taux d'écriture maximal soit précisé, la mémoire 32 est préférablement du type SEEQ 5516A, EEROM, avec un taux d'écriture de 1 million (page 8, 2^e paragraphe). Par conséquent, les deux mémoires 30 et 32 selon D1 ne constituent pas deux sous-divisions d'une mémoire au sens de l'espace mémoire 1 selon la revendication 1. Le fait de prétendre que les deux mémoires 30 et 32 selon D1 seraient le résultat de la sous-division d'une mémoire constituée par l'association 30+32 relève d'une interprétation et d'une analyse ex post facto de l'enseignement de D1 à la lumière de la solution revendiquée par le brevet contesté.

Il est indiqué dans D1 que d'autres types de mémoires avec des taux d'écriture plus élevés peuvent être utilisés pour la mémoire 32 (page 8, 2^e paragraphe) et ce document mentionne que la mémoire 32 pourrait être constituée par une pluralité de mémoires individuelles 32a, 32b, 32c et 32d (cf. figure 3 de D1), afin d'augmenter la capacité de stockage. Si D1 indique en passant un moyen de pallier le faible taux d'écriture d'une mémoire non volatile, ce moyen n'a rien en commun avec la solution selon la revendication 1 du brevet contesté. Quoi qu'il en soit, aucune allusion n'est faite dans D1 quant à la capacité de la mémoire 30 par rapport à celle requise par les renouvellements possibles des données à enregistrer.

- 4.3 La façon de traiter l'adressage des mémoires 30 et 32 selon D1 n'a rien qui puisse guider l'homme du métier vers la solution selon la revendication 1 du brevet contesté. Selon cette revendication, la deuxième zone 6 est affectée à l'enregistrement des m-n bits restants parmi les m bits constituant un ensemble de données, étant entendu que n bits sont toujours enregistrés dans la première zone 5. Autrement dit, **seulement une partie (m-n) des bits constituant l'ensemble de données est enregistrée dans cette deuxième zone 6.** Il en est autrement de la mémoire 32 de D1, que le requérant assimile à la zone 6 selon la revendication 1, car, comme il l'a déjà été signalé plus haut, cette mémoire 32 est chargée de l'enregistrement de **la totalité des bits constituant un ensemble de données AR+DR+P.**

Les observations émises ci-dessus attestent des différences entre la mémoire selon la revendication 1 du brevet contesté et le système de mémoires connu de D1. Ces différences ne sont pas les seules, car, en particulier :

- D1 ne divulgue pas que les adresses de la mémoire 30 soient fixes (cf. page 7, lignes 23-26),
- L'enregistrement de bits de données AR+DR dans la mémoire 30 n'a lieu qu'en cas de coupure de courant et n'est pas subordonné à la condition imposée aux n des m bits de chaque ensemble de la mémoire revendiquée, condition selon laquelle ces nouveaux bits doivent être différents des bits de données AR+DR préalablement enregistrés. D1 ne suggère donc pas la caractéristique (c) concernant la mise en oeuvre, dans un espace mémoire, d'un circuit programmé commandant, à chaque renouvellement desdits n bits et si les n bits enregistrés diffèrent des n bits à enregistrer, la désignation desdites premières adresses fixes pour l'enregistrement des n nouveaux bits se substituant aux précédents.
- Pour l'enregistrement de nouveaux ensembles de m bits de données, bien qu'un adressage cyclique pour les mémoires 30 et 32 soit prévu dans D1, les circuits de programmation décrits dans ce document ne commandent pas une progression d'adresses variables, pour la désignation, **dans une deuxième zone associée à une première zone d'enregistrement de n bits, de nouvelles secondes adresses d'enregistrement de m-n bits avec au moins leur bit de redondance** comme le mentionne la caractéristique (d) de la revendication 1.

4.4 Le Requéérant a allégué que la notion de "renouvellement" n'était pas clairement définie. La Chambre estime toutefois que le terme "renouvellement" est clair à la lecture de la revendication 1 (cf. préambule : "R renouvellements desdits ensembles de données" et partie caractérisante : "à chaque renouvellement desdits n bits") et à la lumière de la description du brevet

contesté. Le terme de "renouvellement", dans le sens conforme à celui défini par la revendication 1 du brevet contesté, n'apparaît pas dans la description de D1. En effet, sauf en cas de coupure de courant, il n'y a pas écriture de données dans la mémoire 30 et lorsqu'une écriture a lieu, ce n'est pas pour renouveler des données, **c'est-à-dire enregistrer pour la première fois de nouvelles données**, mais pour stocker des données représentant un cumul historique des transactions postales qui avaient été effectuées **avant que la coupure de courant ne se produise**. L'opinion du requérant selon laquelle la manifestation d'une coupure de courant évoquée dans D1 peut être interprétée comme équivalente à un renouvellement de données résulte d'une analyse ex post facto.

- 4.5 L'écriture des données dans la mémoire 30 selon D1, lorsqu'il y a coupure de courant (page 7, ligne 23 à page 8, ligne 6), est déclenchée par un programme spécial ("power down cycle routine"). Si aucune coupure de courant ne se produit pendant la durée d'utilisation des mémoires 30 et 32 selon D1, **aucunes données ne sont enregistrées dans la mémoire 30**. La stratégie adoptée pour la programmation des mémoires 30 et 32 selon D1 est totalement incompatible avec celle utilisée pour la première zone 5 de mémoire selon le brevet contesté, puisque cette zone 5 est évidemment occupée lorsque le nombre maximal d'écritures de l'espace mémoire 1 a été atteint.
- 4.6 Les expressions "redondance" ou "bit(s) de redondance" ne sont pas mentionnées dans D1. Le Requêteur a assimilé les bits de données AR+DR dans D1 à des bits de redondance similaires aux n bits selon la revendication 1 parce que ces données sont enregistrées à la fois dans les mémoires 30 et 32. Ce point de vue n'est pas justifié. Le requérant a mentionné que des bits de redondance peuvent

être requis pour assurer un certain degré de sécurité lors de l'enregistrement des données. Si c'était le cas pour le système de mémoires selon D1, au moins un bit de redondance devrait être stocké dans la mémoire 30 et il devrait y être enregistré lors de toute opération d'écriture de données, **quelles que soient les conditions de fonctionnement de cette mémoire 30**. Or, il n'en n'est rien, puisque la mémoire 30 n'est utilisée qu'en cas de coupure de courant pour y stocker des données AR+DR ("accounting data") fournie par la troisième mémoire (28, page 7, lignes 17-22). La redondance exprimée dans la revendication 1 du brevet contesté se rapporte incontestablement à la répétition volontaire d'un ou plusieurs bits **présents dans chacune des deux parties n et n-m d'un même ensemble, enregistrées dans les deux zones respectives d'un seul espace mémoire**. Il n'est donc pas correct de qualifier de "redondants" les bits des données AR+DR enregistrés dans la mémoire 30 selon D1 puisqu'ils représentent un enregistrement cumulatif historique des transactions postales **antérieures à la coupure de courant** alors que la mémoire 32 enregistre de **nouvelles** données d'affranchissement.

- 4.7 Le requérant a fait valoir que le rôle des bits de redondance n'était pas indiqué dans la revendication 1. L'intimé a répondu qu'il n'était pas nécessaire de limiter ce rôle à celui décrit dans la description (page 12, lignes 29-33), selon lequel le bit de redondance rend aisée et rapide la détection de la dernière valeur enregistrée. La Chambre agréée sur ce point avec l'intimé parce que, d'une part, l'homme du métier est à même d'apprécier les différents usages qu'il peut faire d'un ou plusieurs bits de redondance dans une information numérique et que, d'autre part, l'absence de renseignements dans la revendication 1 quant au rôle précis joué par le ou les bits de redondance ne nuit pas à la clarté de l'objet de cette revendication.

4.8 Le requérant a émis également l'opinion que les avantages allégués de la mémoire revendiquées par rapport à la mémoire selon D1 reposaient sur des caractéristiques qui ne sont pas indiquées dans la revendication 1 ou sur des caractéristiques associées aux ensembles de données et non pas à la mémoire elle-même. La Chambre ne peut suivre de tels arguments, car les caractéristiques (a) à (d) énoncées dans la revendication 1 mettent clairement en évidence la division en deux parties spécialisées de l'espace mémoire (1) pour l'enregistrement d'un mot de données et la mise en oeuvre d'un circuit programmé (2) de traitement de l'adressage de cet espace mémoire.

En résumé, la Chambre est d'avis que l'enseignement de D1 ne fournit à l'homme du métier aucune incitation qui pourraient le conduire, sans l'exercice d'activité inventive, à modifier la mémoire connue de D6 pour arriver à celle définie par la revendication 1 du brevet contesté.

5. Le problème devant être résolu dans le cas du circuit décrit dans le document D4 (voir colonne 2, lignes 57-68) est de réduire la durée d'effacement dans des mémoires alimentées par des compteurs de décades (D_0 à D_5). Pour les raisons suivantes, l'analyse de l'enseignement de D4 montre que ce document ne permet pas à l'homme du métier de dériver les indications techniques énoncées dans la revendication 1 :

5.1 Si la première mémoire 22 et la deuxième mémoire 21 selon D4 forment respectivement une première zone et une deuxième zone d'un espace mémoire, comme le prétend le requérant, il n'est ni divulgué que cette espace mémoire définisse une capacité inférieure à celle requise pour un certain nombre de renouvellements d'ensembles de données, ni qu'il soit programmé conformément aux caractéristiques (a) à (d) de la revendication 1.

- 5.2 Il n'est pas divulgué dans D4 que le circuit de codage 23 soit conçu pour commander, à chaque renouvellement de n bits dans la première mémoire 22 l'écriture de n bits dans cette première mémoire 22 uniquement s'ils diffèrent de ceux déjà enregistrés (le mot "uniquement" ne figure pas dans la revendication 1 mais ce mot s'impose à l'évidence du contexte de cette revendication et de la description).
- 5.3 Les adresses dans la deuxième mémoire 21 selon D4 sont interchangées cycliquement mais ne progressent qu'après enregistrement d'un nombre prédéterminé d'ensembles de données, correspondant à 100 000 km (colonne 3, lignes 13-16), alors que celles selon la revendication 1 progressent à **chaque** ensemble de données.
- 5.4 Le mot "redondant" ou l'expression "bit(s) de redondance" ne sont pas mentionnés dans D4. Lorsqu'une coupure ou une baisse de tension interviennent lors du transfert en mémoire de l'information fournie par le compteur d'une décade particulière, (colonne 3, ligne 60 à colonne 4, ligne 6) un sixième bit ("additional bit", "sixth bit") affecté à l'adresse de cette décade provoque le branchement d'une alimentation de secours ("buffer capacitor", colonne 7, ligne 60 à colonne 8, ligne 2) qui assure ou complète ce transfert en mémoire. Ce sixième bit représente une information nécessaire (colonne 7, lignes 24-28) et unique, donc non redondante puisque ce bit n'a rien à voir avec la copie dans la deuxième mémoire 21 d'un bit enregistré dans la première mémoire 22.
- 5.5 La capacité éventuellement limitée des mémoires selon D4 ne constitue pas le problème auquel l'enseignement de ce document entend apporter une solution.

La Chambre est d'avis que l'enseignement du document D4 n'incite pas l'homme du métier à diviser un espace mémoire en une première zone affectée à l'enregistrement à des premières adresses fixes de n des m bits d'un ensemble de données et en une deuxième zone affectée à l'enregistrement à des secondes adresses variables des $m-n$ bits restants de chaque ensemble, avec au moins l'un des n bits de l'ensemble considéré, dit bit de redondance.

D4 ne suggère également pas la caractéristique (c) de la revendication 1 concernant la mise en oeuvre dans un tel espace mémoire d'un circuit programmé commandant, à chaque renouvellement desdits n bits et si les n bits enregistrés diffèrent des n bits à enregistrer, la désignation desdites premières adresses fixes pour l'enregistrement des n nouveaux bits se substituant aux précédents.

La Chambre constate l'absence de divulgation dans D1 et D4 de l'ensemble des caractéristiques (a) à (d) de la revendication 1 du brevet contesté. Par conséquent, même l'enseignement combiné de ces documents ne fournit à l'homme du métier aucunes incitations qui pourraient le conduire, sans l'exercice d'activité inventive, à modifier la mémoire connue de D6 pour arriver à celle définie par cette revendication.

6. Le requérant a prétendu que les caractéristiques de la revendication 1, à part le bit de redondance, ne seraient pas inventives au vu de la "combinaison évidente" du compteur d'usure équipant la machine à affranchir connue de D3 avec la mémoire 32 selon D1. La Chambre ne relève aucun motif dérivable de l'art antérieur cité par le requérant pour lequel l'homme du métier déciderait d'installer un tel compteur d'usure sur la mémoire 32 de D1. Quoi qu'il soit, d'une part, la revendication 1 du

brevet contesté ne mentionne pas de compteur d'usure et, d'autre part, la Chambre ne voit pas en quoi le montage éventuel d'un tel compteur pourrait compenser l'absence dans l'art antérieur de la combinaison des caractéristiques (a) à (d) de la revendication 1.

7. La Chambre estime qu'aucune des caractéristiques (a) à (d) de la revendication 1 du brevet contesté ne peut être déduite de l'enseignement de D1, D3 ou D4, considérés isolément ou en combinaison, sans connaissance préalable de la solution préconisée par la revendication 1. En conclusion, l'art antérieur selon ces documents ne peut inciter l'homme du métier à modifier, sans l'exercice d'activité inventive, la mémoire et son système de traitement connus de D6 pour arriver à la mémoire revendiquée par le brevet contesté.

8. Enfin, la Chambre ne peut accepter l'interprétation du requérant selon laquelle l'objet de la revendication 1, rédigée par lui-même et soumise lors de la procédure orale tenue devant elle, serait correctement délimité par rapport à l'art antérieur selon le document D1 car, pour les raisons exposées aux paragraphes 4.1 à 4.7 ci-dessus, les caractéristiques figurant dans son préambule ne sont dérivables de l'enseignement de D1 qu'après une analyse ex post facto exigeant une connaissance préalable de la solution revendiquée. Le requérant a également prétendu que les caractéristiques additionnelles énumérées dans la partie caractérisante de cette revendication seraient connues des documents D2 et D7, donc utilisables pour modifier de façon évidente le système de mémoires et son circuit programmé connus de D1, ou directement le résultat d'une modification évidente de ce système de mémoires par l'homme du métier dans le cadre normal de ses investigations techniques. Cependant, le requérant n'a pas fournis d'arguments autres que ceux fondés sur l'évidence. La Chambre est d'avis que le recours à la

combinaison de l'art antérieur divulgué par plusieurs documents, en particulier trois documents D1, D2 et D7, et des connaissances générales de l'homme du métier, serait envisageable si l'art antérieur suggérait explicitement ou implicitement des modifications du système de mémoires connu de D1 et permettant d'aboutir à la même solution du même problème. Or, ainsi qu'il l'a déjà été établi plus haut pour D1, la Chambre a vérifié que les documents D1, D2 et D7 non seulement ne divulguent pas une mémoire possédant les caractéristiques (a) à (d) de la mémoire revendiquée mais aussi ne visent pas à apporter une solution au problème traité par le brevet contesté.

9. La Chambre arrive à la conclusion que l'objet de la revendication 1 du brevet contesté ne peut être déduit de façon évidente de l'enseignement des documents D1 à D4, D6 et D7 et implique ainsi une activité inventive au sens de l'article 56 CBE. Il en résulte que l'objet de la revendication 4, qui concerne une machine à affranchir faisant application de la mémoire selon la revendication 1 implique également une activité inventive. Cette conclusion s'applique également à l'objet des revendications 2 et 3 et 5 à 18 qui sont dépendantes de la revendication 1 ou de la revendication 4.
10. Les motifs d'opposition invoqués par le requérant dans le cadre des dispositions de l'article 100 CBE ne s'opposent pas au maintien du brevet.

Dispositif

Par ces motifs, il est statué comme suit :

Le recours est rejeté.

Le Greffier :



M. Kiehl

Le Président :



W. J. L. Wheeler

