

Code de distribution interne :

- (A) [] Publication au JO
(B) [] Aux Présidents et Membres
(C) [X] Aux Présidents

D E C I S I O N
du 20 avril 1999

N° du recours : T 0206/97 - 3.5.2

N° de la demande : 90401531.0

N° de la publication : 0409672

C.I.B. : G11C 16/06

Langue de la procédure : FR

Titre de l'invention :

Procédé d'effacement de points mémoire, dispositif destiné à sa mise en oeuvre, et son utilisation dans un dispositif à mémoire non alimenté

Demandeur/Titulaire du brevet :

GEMPLUS CARD INTERNATIONAL

Opposant :

GIESECKE & DEVRIENT GmbH

Référence :

-

Normes juridiques appliquées :

CBE Art. 52(1), 54, 56

Mot-clé :

"Nouveauté (oui)"

"Activité inventive (oui)"

Décisions citées :

-

Exergue :

-



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Beschwerdekammern

Boards of Appeal

Chambres de recours

N° du recours : T 0206/97 - 3.5.2

D E C I S I O N
de la Chambre de recours technique 3.5.2
du 20 avril 1999

Requérant :
(Opposant)

GIESECKE & DEVRIENT GmbH
Prinzregentenstr. 159
D - 81677 München (DE)

Mandataire :

Klunker - Schmitt-Nilson - Hirsch
Winzererstr. 106
D - 80797 München (DE)

Intimée :
(Titulaire du brevet)

GEMPLUS CARD INTERNATIONAL
Avenue du Pic de Bretagne
Parc d'activités de la Plaine de Jouques
F - 13420 Gémenos (FR)

Mandataire :

Schmit, Christian Norbert Marie
Cabinet Ballot-Schmit
7, rue Le Sueur
F - 75116 Paris (FR)

Décision attaquée : Décision de la division d'opposition de l'Office européen des brevets signifiée par voie postale le 12 décembre 1996 par laquelle l'opposition formée à l'égard du brevet n° 0 409 672 a été rejetée conformément aux dispositions de l'article 102(2) CBE.

Composition de la Chambre :

Président : W. J. L. Wheeler
Membres : M. R. J. Villemin
A. C. G. Lindqvist

Exposé des faits et conclusions

I. Le requérant, qui avait fait opposition au brevet européen n° 0 409 672, a formé un recours contre la décision de la Division d'opposition rejetant son opposition. Le seul motif d'opposition invoqué était celui selon l'article 100a) CBE en combinaison avec les articles 52(1) et 56 CBE.

II. Le brevet délivré comporte trois revendications indépendantes 1, 3 et 4. La revendication 1 s'énonce comme suit :

"Procédé d'effacement de point mémoire EEPROM (10), caractérisé en ce qu'il consiste :

- à ouvrir et initialiser un compteur dans une mémoire à accès aléatoire associée à un processeur de commande d'effacement (20) au début de chaque opération d'effacement d'un point mémoire,
- à effectuer un cycle d'effacement, puis un cycle de lecture et une comparaison de la tension lue (V_L) avec une tension attendue (V_R) correspondant à l'état effacé,
- à déclencher lorsque les deux tensions sont différentes l'itération du compteur et un nouveau cycle d'effacement et lecture, puis une comparaison, tant que le contenu du compteur reste inférieur à un nombre prédéterminé,
- à commander l'émission d'un code retour vers l'application fonction du contenu du compteur, et donc du nombre de cycles d'effacement nécessaires à l'opération d'effacement, lorsque la tension lue est la tension attendue après au moins 2 cycles d'effacement, ainsi que lorsque le contenu du compteur à (sic) atteint le nombre prédéterminé."

La revendication 2 dépend de la revendication 1.

La revendication 3 s'énonce comme suit :

"Dispositif destiné à la mise en oeuvre du procédé d'effacement de point mémoire EEPROM (10) selon l'une des revendications 1 et 2, caractérisé en ce qu'il comporte la mémoire (10) constituée de points mémoire de type EEPROM associée à un processeur (20) lors de son utilisation dans une application, en ce que le compteur est ouvert au début de chaque opération d'effacement dans la mémoire à accès aléatoire (RAM) du processeur, et en ce qu'il comporte en outre des moyens logiques (30) pour déclencher, lorsqu'il y a lieu, l'émission d'un code retour fonction de l'état du compteur en fin d'opération d'effacement."

La revendication 4 s'énonce comme suit :

"Utilisation du procédé d'effacement selon l'une des revendications 1 et 2, pour un dispositif à mémoire constituée de points mémoire EEPROM (10) non alimenté en dehors des phases de service."

La revendication 5 dépend de la revendication 4.

III. Les documents suivants de l'art antérieur, mentionnés lors de la procédure d'opposition, ont été pris en considération lors de la procédure de recours :

- D1 : JP-A-56-137 594,
- D2 : DE-C-2 828 855,
- D3 : Traduction en langue anglaise du document D1.

En outre, le livre "Das rororo Computerlexikon", Rowohlt Taschenbuch Verlag GmbH, 1989, pages 216, 217, 468 et 469, a été cité par l'opposant en réponse à une notification de la Chambre.

- IV. Une procédure orale a eu lieu le 20 avril 1999.
- V. Le requérant (opposant) n'a pas contesté la nouveauté de l'objet des revendications indépendantes. Il a soumis les arguments suivants :

Il ne ferait pas de doute que la mémoire non volatile mentionnée dans le document D3 serait du type EEPROM. Etant donné qu'une opération d'effacement serait assimilable à l'écriture d'un "0", il n'y aurait pas de différence de principe entre le procédé selon la revendication 1 et le procédé selon D3. Ce document ne ferait pas de distinction entre "effacement" et "écriture", si l'on excepte un passage (page 2, lignes 24 à 27) mentionnant l'éventualité d'un effacement avant une opération de réécriture. Puisque, selon la description du brevet contesté (colonne 3, lignes 53 à 56), les défaillances se produisent systématiquement lors d'opérations d'effacement, de telles défaillances seraient aussi détectables par le procédé selon D3. Si l'on utilise les notions développées dans le brevet contesté, soit la valeur logique "0" serait représentative de l'état résultant d'une opération d'effacement et la valeur logique "1" représentative de l'état résultant d'une opération d'écriture, soit ce serait l'inverse. Le diagramme 3b) selon D3 montrerait bien que l'opération d'écriture est réalisée à l'aide d'un niveau bas ou d'un niveau haut de tension.

Un flip-flop serait un compteur comptant jusqu'à 2. Etant donné que la valeur minimale du nombre prédéterminé n'est pas indiquée dans la revendication 1, ce nombre peut être égal à deux, lequel requiert naturellement seulement un comptage jusqu'à deux. Le flip-flop 26 mis en oeuvre dans le procédé selon D3 effectuerait un tel comptage jusqu'à deux et jouerait ainsi le rôle du compteur spécifié dans la revendication 1. Un code de retour du type spécifié dans la revendication 1 serait aussi émis dans le cas du procédé selon D3 (voir D3, page 6, lignes 14 à 28).

Si l'on considérait les principes conformes à la méthode problème-solution, les problèmes à résoudre par le procédé selon le brevet contesté et par le procédé divulgué par D3 seraient de même nature, à savoir la mise en oeuvre de moyens de test donnant une idée de l'état de fonctionnement des cellules d'une mémoire EEPROM afin de renseigner l'utilisateur sur la durée de vie restante de ces cellules. On ne pourrait pas prétendre qu'un groupe de cellules, dont le fonctionnement se serait avéré défectueux à la suite d'un test d'effacement effectué selon le procédé revendiqué, ne devrait pas être remplacé par un groupe de cellules de réserve au même titre qu'un groupe de cellules reconnues défectueuses à la suite du test d'écriture tel qu'il est décrit dans D3. Le test revendiqué ainsi que le test selon D3 mettraient en évidence des défauts de fonctionnement inhérents au vieillissement d'une mémoire. Le procédé selon D3 présenterait une flexibilité supérieure à celle offerte par le procédé revendiqué en ce qui concerne les possibilités d'utilisation d'une mémoire volatile et il n'y aurait pas de différences essentielles de principe

entre ces deux procédés.

Pour ces raisons, l'homme du métier combinerait, sans avoir à faire preuve d'activité inventive, ses connaissances techniques avec l'enseignement de D3 portant sur un test fondé sur la détection de défauts d'écriture pour effectuer le test fondé sur la détection de défauts d'effacement selon les étapes spécifiées dans la revendication 1 du brevet contesté.

Le dispositif selon la revendication indépendante 3 du brevet contesté n'apporterait rien de plus que ce que divulgue le procédé selon la revendication 1 et serait de ce fait également dépourvu d'activité inventive par rapport au dispositif mettant en oeuvre le procédé connu du document D3.

- VI. L'intimé a fait valoir que le procédé revendiqué et le procédé connu de D3 seraient effectués à des moments différents de l'utilisation d'une mémoire EEPROM et permettraient la résolution de problèmes distincts.

Le procédé selon D3 effectuerait un test reposant sur la mise en évidence de défauts d'écriture rencontrés dans toute mémoire volatile. A la suite d'un deuxième essai infructueux d'écriture d'une information dans une zone de la mémoire volatile, le procédé selon D3 renoncerait à toute nouvelle tentative d'écriture et ordonnerait l'inscription de cette information dans une mémoire de réserve prévue dans cette mémoire volatile, conformément au problème à résoudre par ce procédé. Le nombre d'essais d'écriture étant limités à deux, il serait insuffisant pour juger objectivement de l'état d'usure d'une mémoire volatile. Le procédé selon D3 consisterait

à procéder systématiquement au remplacement, par des points mémoire de réserve, de points mémoire n'ayant simplement pas satisfait à un double test d'écriture, sans que l'utilisateur n'ait à s'assurer que les points mémoire qui ont été remplacés étaient définitivement défectueux. Il serait par conséquent inexact d'arguer que le procédé selon D3 a pour but d'estimer ce qui reste de durée de vie à une mémoire volatile du type EEPROM.

Le procédé revendiqué se fonderait sur la répétition d'essais d'effacement, pas d'écriture, dans une mémoire EEPROM et pourrait être effectué avant le procédé connu de D3. Contrairement à ce procédé connu, le procédé selon la revendication 1 ne viserait pas au remplacement, par des points mémoire en réserve, de points mémoire n'ayant pas satisfait à un test. Il aurait pour but principal d'informer l'utilisateur qu'une information dans un point mémoire a pu être effacée après au moins deux cycles d'effacement ou que cette information n'a pas pu être effacée après un nombre prédéterminé de cycles d'effacement.

Contrairement à ce que déclarerait l'opposant le flip flop 26, qu'il assimilerait au compteur mentionné dans la revendication 1, ne compterait pas le nombre de cycles d'écriture et le code de recours émis selon le procédé connu de D3 ne serait pas représentatif d'un nombre de cycles d'écriture. La flexibilité supérieure du procédé selon D3, prétendue par l'opposant, serait contestable étant donné que ce procédé ne serait fondé que sur un critère rigide de décision selon lequel on remplacerait systématiquement par des points mémoire en réserve, à la suite d'un test ayant révélé deux cycles

infructueux d'écriture, des points mémoire ayant échoué à ce test. Une telle stratégie radicale n'existerait pas dans le procédé revendiqué puisque celui-ci ne prévoirait aucun remplacement de points mémoire et n'aurait que l'ambition de suivre dans le temps le comportement d'une mémoire sur la base notamment de l'évolution du nombre de ses cellules dont le contenu ne pourrait être effacé à l'issue de l'application d'un nombre prédéterminé de cycles d'effacement.

VII. Le requérant demande l'annulation de la décision contestée et la révocation du brevet européen n° 0 409 672.

VIII. L'intimé demande le rejet du recours.

Motifs de la décision

1. Le recours est recevable.
2. Le requérant n'ayant pas contesté la nouveauté de l'objet de la revendication 1, seule la question de l'activité inventive contestée par le requérant doit être examinée.

Dans la suite de cette décision, l'expression : "la revendication 1" signifiera : "la revendication 1 du brevet contesté".

3. L'intimé n'a pas contesté que le document D3 divulgue une traduction correcte en langue anglaise du contenu du document D1. Dans la suite de cette décision, le document D3 sera pris en considération, étant sous-

entendu qu'il représente légitimement l'art antérieur selon D1.

4. *Activité inventive de l'objet de la revendication 1*

La Chambre agréée avec l'intimé et le requérant que D3 représente l'art antérieur le plus proche du procédé défini par la revendication 1.

4.1 Le problème à résoudre tel qu'il peut être déduit de la description du brevet contesté (voir en particulier colonne 1, lignes 1 à 10 et colonne 2, lignes 7 à 25) est la mise au point d'un procédé prenant en compte les défauts d'effacement de points mémoire dans une mémoire EEPROM pour, d'une part, obtenir dans tous les cas possibles l'effacement désiré de points mémoire et pour, d'autre part, avertir l'application utilisant ces points mémoire des défauts d'effacement rencontrés dans les cycles d'effacement.

4.2 Le document D3 mentionne que la méthode de l'art antérieur, consistant à stocker systématiquement des données dans une mémoire 3 à accès aléatoire (RAM) lorsque la tension d'alimentation est présente et à transférer, lorsque la tension d'alimentation est supprimée, ces données dans une mémoire non volatile 2, présente les inconvénients d'être peu pratique et peu économique (voir page 3, ligne 23 à page 4, ligne 11 et figure 1(b)). En conséquence, D3 décrit un procédé permettant de pallier ces inconvénients.

Le procédé selon D3 repose sur la prise en compte des résultats de la lecture de données dans une première mémoire non volatile 2 après au maximum deux cycles

d'écriture de ces données. Si, à la suite d'un seul cycle d'écriture, la lecture ne fournit pas le résultat attendu, un processeur peut ordonner, soit un second et dernier cycle d'écriture, soit le transfert des données vers une seconde mémoire non volatile 2' de réserve associée à la première mémoire non volatile (voir figure 4, page 4, lignes 12 à 19 et page 5, lignes 2 à 15).

4.3 L'opposant s'est notamment appuyé sur la définition, donnée dans le livre "Das rororo Computerlexikon", d'une mémoire non volatile, pour exprimer son opinion que la mémoire non volatile 2 mis en oeuvre dans le procédé selon D3 pouvait être du type EEPROM, c'est-à-dire d'un type identique à celui de la mémoire mentionnée dans la revendication 1. Bien qu'il n'y ait aucune mention explicite à ce sujet dans le texte de D3, l'intimé et la Chambre ont accepté cette opinion.

4.4 L'opposant a émis l'avis, non partagé par l'intimé, qu'une opération d'effacement serait assimilable à l'écriture d'un "0", et qu'il n'y aurait ainsi pas de différence fondamentale entre le procédé selon la revendication 1 et le procédé selon D3. Selon l'opposant, ce document ne ferait pas de distinction entre "effacement" et "écriture", si l'on excepte un passage (page 2, lignes 24 à 27) mentionnant la possibilité d'un effacement avant une opération d'écriture.

Pour les raisons suivantes, la Chambre ne peut pas suivre cet avis :

a) Comme l'a souligné l'intimé, un cycle d'effacement

effectué dans une mémoire EEPROM précède logiquement chaque cycle d'écriture. L'effacement et l'écriture n'ont donc pas lieu au même moment d'utilisation de la mémoire. Le passage de D3 selon lequel "depending on the type of non-volatile memory, there may be an erase cycle before the rewrite..." montre que, selon le procédé connu de D3, l'effacement et l'écriture de données n'étaient pas considérés comme des opérations équivalentes et que les cycles d'écriture étaient effectués en supposant que les informations contenues dans les points mémoire avaient été effacées auparavant.

- b) Si la mémoire non volatile mentionnée dans D3 est considérée comme étant du même type, EEPROM, que celle mentionnée dans la revendication 1, alors les opérations d'effacement et d'écriture auxquelles ces mémoires sont soumises doivent faire appel aux mêmes phénomènes physiques et électriques brièvement rappelés ci-dessous :

Il est connu de l'homme du métier et mentionné dans la description du brevet contesté (voir colonne 3, lignes 15 à 47) que les opérations d'écriture et d'effacement dans une cellule de mémoire EEPROM font usage de l'effet tunnel. Dans une telle cellule (voir par exemple les figures 1 à 3 du brevet contesté)

- **l'écriture** d'une information est effectuée en appliquant une impulsion électrique **de polarité déterminée** sur la grille de commande afin de provoquer l'extraction de porteurs de charges du substrat et leur transfert dans la couche d'oxyde située entre la grille flottante et le substrat,

alors que

- **l'effacement** d'une information est effectuée en appliquant une impulsion électrique **de polarité opposée à celle de l'impulsion d'écriture** sur la grille de commande afin de provoquer l'expulsion hors de la couche d'oxyde des porteurs de charges représentant l'information précédemment écrite et de leur faire réintégrer le substrat.

Etant donné que les mouvements des porteurs de charge ont lieu en sens inverse lors de l'écriture et de l'effacement et sont provoqués par des impulsions électriques de polarités opposées, on ne peut pas soutenir l'idée que les opérations d'écriture et d'effacement soient équivalentes. Le passage dans D3, à la page 2, lignes 24 à 27, implique qu'une telle équivalence n'existe pas. D3 décrit **strictement** un procédé prenant en compte les défauts d'écriture dans une mémoire non volatile et ne suggère nulle part que le procédé pourrait tout aussi bien avoir lieu en prenant en compte les défauts d'effacement dans une mémoire EEPROM et conduire aux mêmes conclusions quant aux mesures à envisager.

- c) Il n'est suggéré nulle part dans D3, D2 ou la description du brevet contesté qu'une opération d'effacement dans une mémoire EEPROM peut être considérée comme équivalente à l'écriture d'un "0" logique, comme le prétend l'opposant. Une telle opinion semble découler d'une analyse ex post facto car un effacement n'a pas pour but d'écrire une information logique, il a pour but au contraire de la supprimer afin de placer un point mémoire dans un

état prédéterminé avant d'écrire une information ou non.

- d) Il a été déjà indiqué plus haut qu'un effacement nécessite le retour de charges électriques dans le substrat, alors que l'écriture exige le transfert de charges dans la couche d'oxyde entre la grille flottante et le substrat. Si des charges restent emprisonnées dans l'oxyde, l'effacement est défectueux et les défauts d'effacement traduisent par exemple, a priori, la présence de pièges dans le réseau cristallin de cette couche d'oxyde (voir figure 3 et description du brevet contesté, colonne 3, lignes 37 à 47) et non pas dans le substrat du point mémoire. De même, un défaut d'écriture peut traduire l'incapacité du substrat à fournir des porteurs de charges. Si les défauts d'effacement et les défauts d'écriture ont en commun l'inconvénient d'altérer en fin de compte le bon fonctionnement d'une mémoire EEPROM, ils ont des origines différentes.
- e) L'argument de l'opposant, selon lequel un défaut d'effacement serait détecté par le procédé décrit par D3, ne peut pas convaincre la Chambre puisque le procédé selon D3 met en oeuvre des opérations d'écriture et la détection de défauts d'écriture, et non pas celles d'effacement. Il n'y a donc aucune raison de conclure que la constatation de défauts après des tentatives infructueuses d'écriture est imputable à l'inefficacité d'opérations d'effacement.

4.5 Le procédé décrit dans D3 a été expressément conçu de façon telle qu'un processeur ordonne de décider le

transfert de données vers une mémoire de réserve lorsque des défauts d'écriture sont constatés dans des points mémoire d'une mémoire non volatile, notamment du type EEPROM. La prise en considération de défauts d'effacement pour un tel transfert n'est suggérée par aucun des documents D3 et D2 cités par l'opposant.

En résumé des observations formulées ci-dessus, la Chambre est d'avis que l'homme du métier, après avoir pris connaissance du procédé selon D3 n'est pas incité à résoudre le problème posé dans le brevet contesté grâce à un procédé fondé sur la prise en considération de défauts d'effacement détectés dans des points mémoire EEPROM. Il n'aurait par conséquent aucune raison de combiner l'enseignement de D3 à ses propres connaissances pour tenter de résoudre ce problème.

4.6 Pour les raisons suivantes, la Chambre est aussi d'avis que même si le procédé selon D3 était modifié pour effectuer la détection de défauts **d'effacement**, l'enchaînement de ses étapes et les moyens mis en oeuvre par ce procédé ainsi modifié ne mettraient pas en doute l'activité inventive de la combinaison des caractéristiques spécifiées dans les étapes du procédé selon la revendication 1 :

- L'opposant a allégué que le flip-flop 26 jouait le rôle du compteur utilisé dans le procédé selon la revendication 1. Toutefois, ni le texte de D3 ni ses figures ne semblent montrer l'application d'un signal de commande sur ce flip-flop au début d'une opération d'écriture : la figure 6(a) représente la commande d'écriture WT CMD et cette commande d'écriture n'est pas accompagnée d'un changement d'état du flip-flop

26 comme en témoigne le diagramme F/F26Q selon la figure 6(1). De plus, ce flip-flop 26 ne semble pas constituer un dispositif de commande inclus dans les circuits d'une mémoire à accès aléatoire.

D3 ne suggère ainsi pas d'ouvrir et d'initialiser un compteur dans une mémoire à accès aléatoire associée à un processeur de commande d'écriture au début de chaque opération d'écriture d'un point mémoire. L'enseignement de D3 ne rend donc pas évidente la première étape du procédé selon la revendication 1.

- A la suite d'un premier cycle d'écriture couronné de succès, le flip-flop 26 ne reçoit également pas de signal de commande. Il ne reçoit de signal que lorsque le premier cycle d'écriture a échoué (D3, page 6, lignes 14 à 20 ; "if they are the same, flip-flop 26 is not set. Only when they are different, is the flip-flop set, as shown in Fig. 6(1), and an error condition is sent to the micro computer"). Il en résulte que si le second cycle d'écriture permet d'obtenir le signal de lecture attendu, le flip-flop 26 n'est toujours pas commandé et aucun signal n'est produit sur la ligne FLT (cf. figure 5 de D3). Par conséquent, il n'est pas prévu dans le procédé selon D3 de commander l'émission d'un code retour fonction du contenu du flip-flop 26, et du nombre de cycles d'écriture nécessaires à l'opération d'écriture lorsque la tension lue est la tension attendue après au moins 2 cycles d'écriture.

- Le procédé revendiqué prévoit deux types d'informations par l'intermédiaire du code retour, à savoir :

(a) une première information annonçant la **réussite** de l'effacement après au moins 2 cycles d'effacement,

(b) une seconde information annonçant **l'échec** de l'effacement après l'application d'un nombre prédéterminé de cycles d'effacement. Il s'agit bien d'un échec puisque la 3^e étape du procédé selon la revendication 1 prévoit de déclencher, lorsque les deux tensions sont différentes, l'itération du compteur et un nouveau cycle d'effacement et lecture, puis une comparaison, tant que le contenu du compteur reste inférieur à un nombre prédéterminé. Or, deux tensions différentes signifient bien que l'effacement ne s'est pas produit.

Le mot "ainsi" dans la phrase : "ainsi que lorsque le contenu du compteur à atteint le nombre prédéterminé", spécifiée dans la dernière étape du procédé selon la revendication 1, impose une condition **additionnelle** à celle imposée lorsque la tension lue est la tension attendue après au moins deux cycles d'effacement.

Le procédé selon D3 permet seulement d'assurer la sauvegarde de données qu'on décide de ne pas enregistrer dans des points mémoire exigeant un nombre de cycles d'écriture supérieur à deux, quelle que soit la valeur de ce nombre. Ce procédé ne suggère pas la dernière étape du procédé spécifiée dans la revendication 1 et selon laquelle on commande "l'émission d'un code retour vers l'application fonction du contenu du compteur, et donc du nombre de cycles d'effacement nécessaires à l'opération

d'effacement, lorsque la tension lue est la tension attendue après au moins 2 cycles d'effacement, ainsi que lorsque le contenu du compteur à atteint le nombre prédéterminé".

- 4.7 Lors de la procédure de recours, l'opposant n'a soumis aucun argument fondé sur une analyse du procédé de fonctionnement de la mémoire volatile décrite dans D2. Ce procédé est fondé sur l'utilisation, pour chaque cellule de mémoire, de durées variables de cycles d'effacement et/ou de cycles d'écriture et ne prévoit ni le comptage de cycles d'effacement ni la transmission du code retour spécifié dans la revendication 1.
- 4.8 Pour les raisons exposées aux paragraphes 4.4 à 4.7 ci-dessus, la Chambre est d'avis que la combinaison des enseignements de D2 et D3 et des connaissances générales de l'homme du métier ne peut pas conduire au procédé selon la revendication 1 sans l'exercice d'une activité inventive au sens de l'article 56 CBE.
- 4.9 *Activité inventive de l'objet des revendications 3 et 4*

Puisque le dispositif selon la revendication 3 du brevet contesté est prévu pour la mise en oeuvre du procédé selon la revendication 1 et que la revendication 4 de ce brevet se rapporte à l'utilisation de ce procédé, les objets des revendications 3 et 4 impliquent également une activité inventive.

5. Etant donné que les motifs d'opposition ne s'opposent pas au maintien du brevet européen n° 0 409 672 tel que délivré, le recours doit être rejeté.

Dispositif

En raison de ces motifs, il est statué comme suit :

Le recours est rejeté.

Le Greffier :

Le Président :

M. Kiehl

W. J. L. Wheeler